

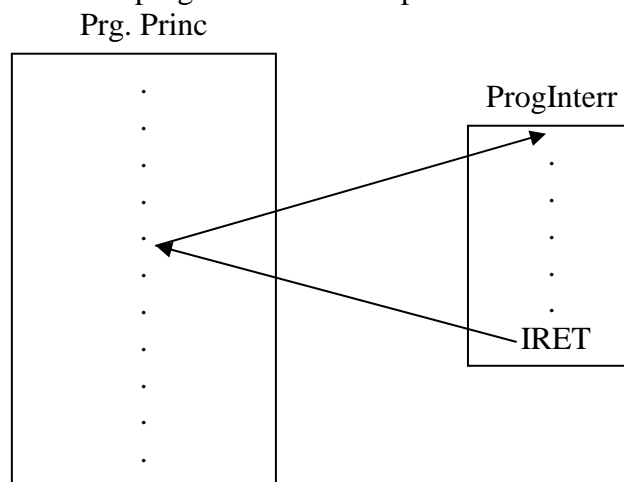
**Cours Architecture des ordinateurs (Archi II)**  
**INTERRUPTIONS**  
**Resp. Mr Mohamed Feredj – MCA –**  
**Courriel : archiFeredj@gmail.com**

## 1) Définition de l'interruption

1. Est un événement non prévu (asynchrone) provoquant la suspension de l'exécution du programme en cours par le  $\mu P$  pour traiter la cause ayant déclenché dudit événement;
2. Sert à traiter les événements asynchrones ;

## 2) Une interruption fait quoi ?

1. Suspend l'exécution du programme en cours ;
2. Sauvegarde l'état (PSW, CS, et IP) de la machine pour la reprise de l'exécution ;
3. Exécute la tâche définie pour cette interruption ;
4. Restaure l'état (PSW, CS et IP) de la machine sauvegardé. Le retour au programme interrompu se fait par IRET ;
5. Reprend l'exécution du programme interrompu.



## 3) Types d'interruptions

1. Interruption matérielle (externe) : Elle prévient le  $\mu P$  d'événements externes.  
Exemple : Top Horloge (Timer), Touche clavier pressée, etc.

Tout dépend du type de  $\mu P$ , ce type d'interruption est reçu :

- Par le  $\mu P$  8086 sur la broche (ligne) INTR ;
- Par d'autres  $\mu P$  sur l'une des broches INT0, INT1 ou INT3.

Dans le module système, ce type est appelé Interruption.

2. Interruption logicielle (interne) : Elle est déclenchée suite à l'exécution d'une instruction d'appel d'une interruption système.

Exemple : instruction INT ; instruction read (en pascal), etc

Dans le module système, ce type est appelé Appel au Superviseur (SVC).

3. Exception (interne) : Suite à une erreur d'exécution

Exemple : Division par zéro, etc.

Dans le module système, ce type est appelé Déroutement.

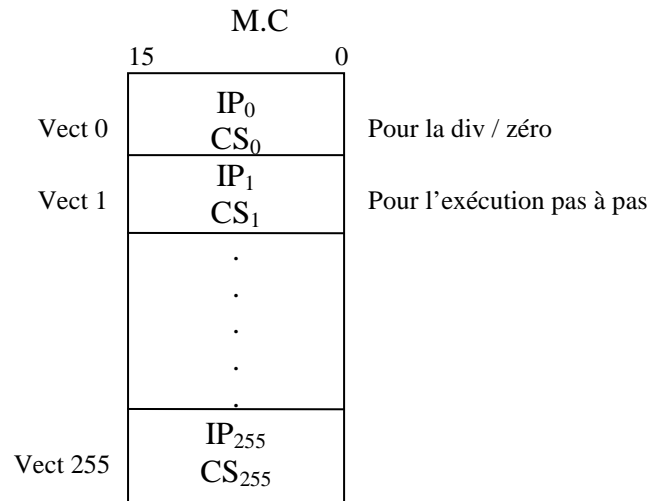
Plusieurs causes de déclenchement des interruptions → Vectorisation des interruptions

#### 4) Vectorisation des interruptions :

Suivant l'architecture d'Intel :

1. Les interruptions sont classées dans une table de 256 entrées (du 00H à 0FFH), appelée Vecteur d'interruptions.
2. Chaque entrée occupe 4 octets et contient l'@ du programme associé à l'interruption : IP puis CS.
3. Cette table est placée dans la M.C à l'@ 00H et termine à l'@ 3FFH.

Donc, la structure de la table est



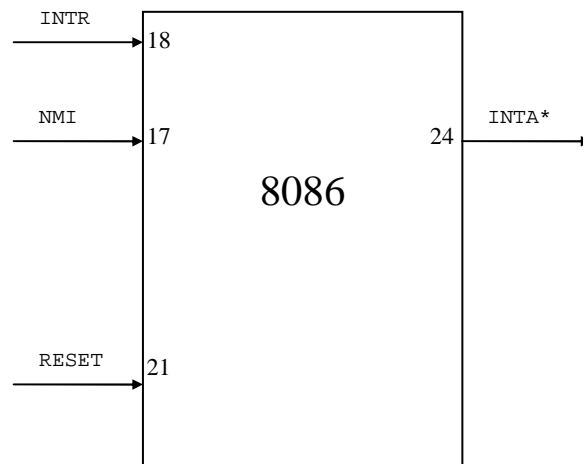
Vect5 pour print screen  
Vect8 pour le timer (horloge)  
Vect9 pour le clavier

La table d'interruptions regroupe 3 catégories d'interruptions :

1. Interruptions réservées par Intel, à savoir, l'int 0, int 1, etc.
2. Interruptions réservées par le système d'exploitation, à savoir l'int print screen, int timer, etc.
3. Interruption réservées à l'utilisateur afin qu'il puisse définir ses propres interruptions suivant ses besoins.

## 5) Broches de réception des interruptions matérielles:

Le  $\mu\text{P}$  8086 comporte 3 broches pour dialoguer avec les demandeurs d'interruptions matérielles : INTR, INTA\* (\* = NOT) et NMI:



### 5.1) Broche INTR (INTerrupt Request):

A chaque fois qu'un matériel (périphérique) effectue une demande d'interruption, INTR passe à l'état actif, c-à-d INTR=1.

Les demandes d'interruption INTR ne sont prises en compte par le  $\mu\text{P}$  que si le flag IF = 1.

### 5.2) Broche INTA\* (INTerrupt Acknowledge):

Si la demande d'interruption reçue sur INTR est acceptée, le  $\mu\text{P}$  envoie l'acquittement (confirmation d'acceptation) de cette demande d'interruption sur la ligne INTA\*, en injectant un 0 (INTA\* = 0). Cela permet aux périphériques de savoir si leur demande d'interruption a été acceptée ou non par le  $\mu\text{P}$ .

### 5.3) Broche NMI (No Maskable Interrupt) :

Cette broche permet de signaler au  $\mu\text{P}$  toute défaillance au niveau de la mémoire centrale ou autres erreurs.

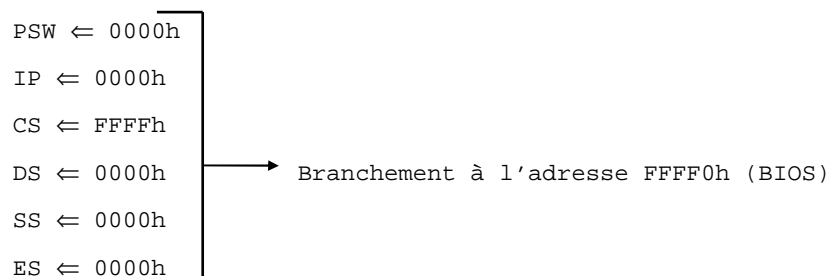
Lorsqu'elle survient, l'interruption NMI est reçue sur la broche NMI et est toujours prise en compte (l'état du Flag IF n'a aucun effet sur la broche NMI).

### Remarque

IF = 0 n'a aucun effet sur les interruptions logicielles.

### 5.4) Broche RESET:

Cette broche permet de redémarrer l'ordinateur. Quand cette broche est activée, le  $\mu\text{P}$  effectue les opérations fixes suivantes:



Trace d'exécution suite à un appel d'une interruption :

NOM	MNEMONIQUE	TRACE
· Appel d'interruption	INT <i>type</i>	$SP \leftarrow SP-2$ $[SS:SP] \leftarrow PSW$ $SP \leftarrow SP-2$ $[SS:SP] \leftarrow CS$ $SP \leftarrow SP-2$ $[SS:SP] \leftarrow IP$ $IF = TF = 0$ $IP \leftarrow [Type*4]$ $CS \leftarrow [Type*4+2]$

Trace d'exécution suite à un retour d'interruption :

NOM	MNEMONIQUE	TRACE
· Retour d'interruption	IRET	$IP \leftarrow [SS:SP]$ $SP \leftarrow SP+2$ $CS \leftarrow [SS:SP]$ $SP \leftarrow SP+2$ $PSW \leftarrow [SS:SP]$ $SP \leftarrow SP+2$

**Exemple:**

La prochaine instruction dans un programme en cours d'exécution se trouve à l'@ 0900 :00A0 et est de la forme INT 8.

Après l'exécution de l'instruction précédant INT 8, l'état de des registres SP, SS et PSW est le suivant :

$$SP = 0100H, \quad SS = 0300H, \quad PSW = 0240H$$

Et l'état de la mémoire est :

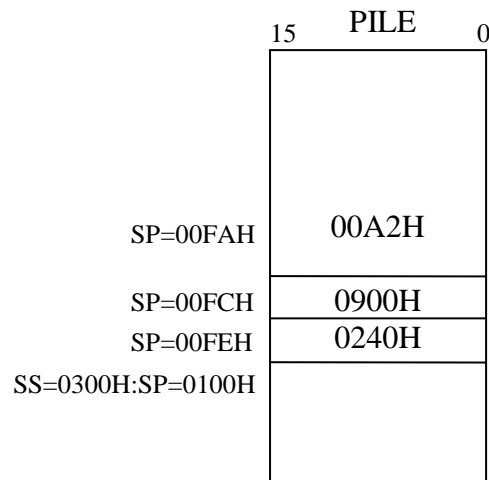
ADRESSE	CONTENUE
.....	.....
0001EH	0010H
00020H	0040H
00022H	0100H
00024H	0105H
.....	.....
000A0H	0200H
000A2H	000EH
000A4H	0300H

**Question :**

Déterminer les valeurs de SP, SS, IP et CS, et donner la trace de la pile juste après l'appel de INT 8 et avant sa fin ?

D'après les énoncés de cet exemple, on a CS = 0900H et IP = 00A0H qui sont l'@ physique de INT 8.

Donc, après l'appel de cette interruption, on doit reprendre l'exécution à partir de l'@ IP 00A2H.



Les nouvelles valeurs de CS et IP sont :

$$IP = (8 * 4) = (00020H) = 0040H$$

$$CS = (8 * 4) + 2 = (00022H) = 0100H$$

## 6) Etapes de traitement d'une interruption matérielle:

Les étapes de traitement d'une interruption matérielle.

1. Un périphérique envoie une demande d'interruption vers le  $\mu P$  à travers la broche INTR;
2. Si  $IF = 1$ , le  $\mu P$  accepte la demande d'interruption par l'activation de la ligne  $\overline{INTA}$  à la fin de l'instruction en cours;
3. Le numéro N de l'interruption est envoyé au  $\mu P$  à travers le bus de données;
4. Le contexte de retour (PSW, CS et IP) est sauvegardé dans la pile;
5. Les flags IF et TF du registre PSW sont mis à zéro;
6. Chargement des registres IP et CS à partir de la table des interruptions:  
 $IP \leftarrow [4 * N]$   
 $CS \leftarrow [4 * N + 2]$
7. Commencement de l'exécution de la routine d'interruption;
8. IRET provoque la restitution des valeurs de IP, CS et PSW se trouvant dans la pile pour le retour au programme suspendu.

